My RISC-V 32bit Single Cycle processor

Fetched architecture from textbook (very simple structure)

Only capable of few instructions

R-format

Add, sub, AND, OR

I-format

Lw, addi

S-format

Sw

SB-format

Beq

Opcode,funct3, func7 for each instructions

Add opcode : 7’b0110011 funct3 : 3’b000 funct7 : 7’b0000000

Sub 7’b0110011 funct3 : 3’b000 funct7 : 7’b0100000

AND 7’b0110011

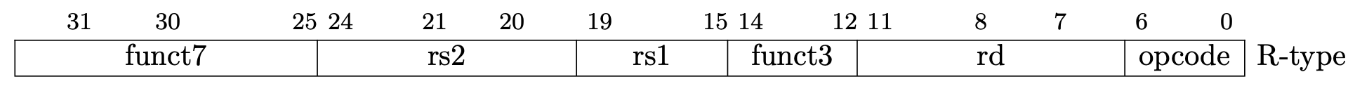
OR 7’b0110011

Lw : 7’b0000011

Addi : 7’b0010011

Sw: 7’b0100011

Beq: 7’b1100011

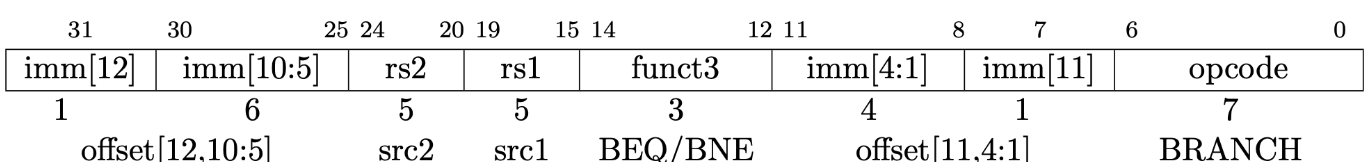


텍스트, 폰트, 라인, 스크린샷이(가) 표시된 사진

자동 생성된 설명 I-type

텍스트, 폰트, 스크린샷, 라인이(가) 표시된 사진

자동 생성된 설명 S-type

 SB-type

도표, 텍스트, 평면도, 기술 도면이(가) 표시된 사진

자동 생성된 설명